

# PATENT ABSTRACTS OF JAPAN

**(11)Publication number : 2001-218129**

**(43)Date of publication of application : 10.08.2001**

H04N 5/63  
H04B 1/16  
H04N 5/455

**H04N 5/63**

**H04B 1/16**

H04N 5/455

(71)Applicant : TOSHIBA CORP

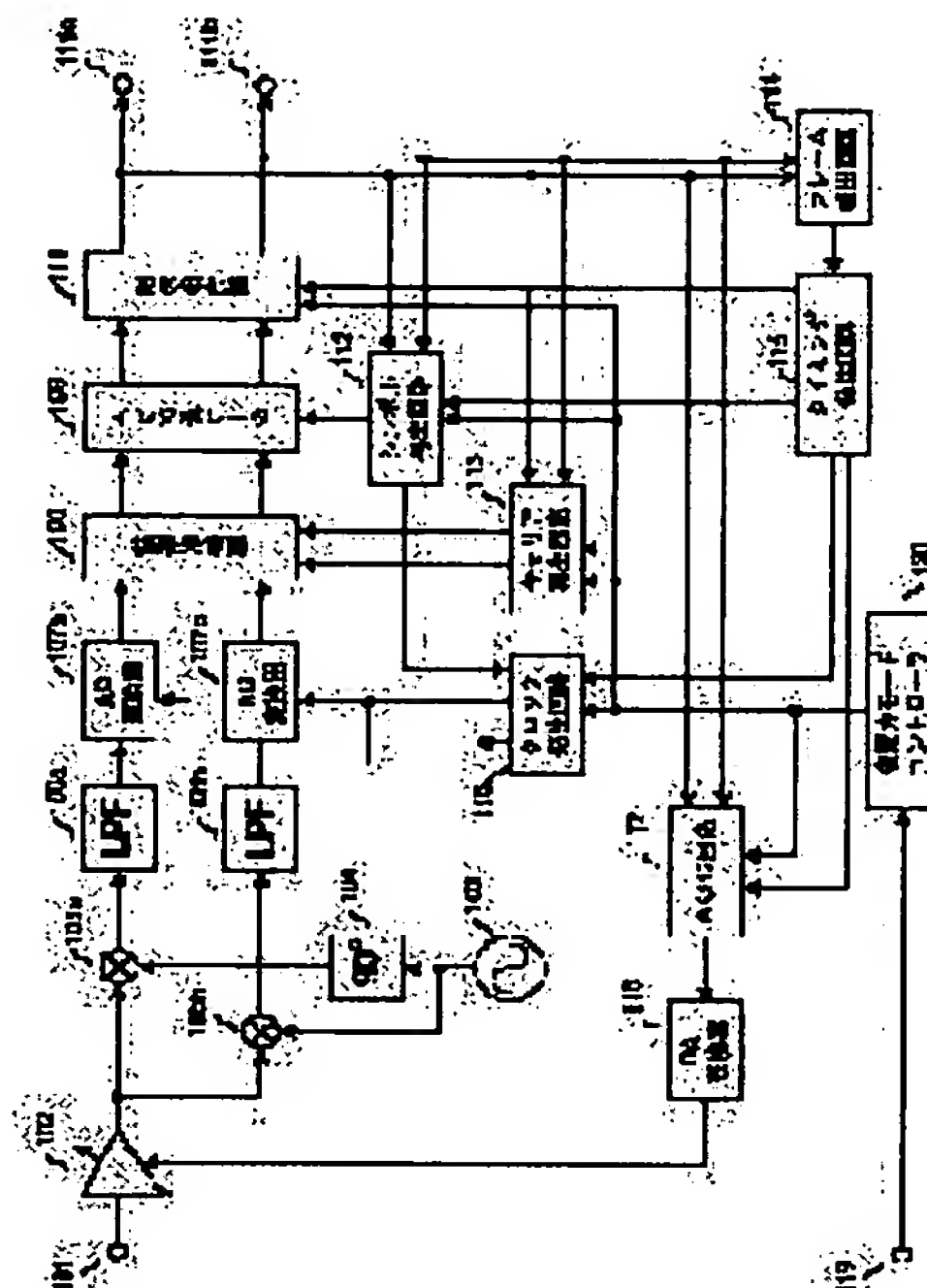
(72)Inventor : NISHIKAWA MASAKI

**(54) DIGITALLY MODULATED SIGNAL RECEIVER**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a digitally modulated signal receiver that can immediately and stably receive a wakeup broadcast program while saving power in a power-saving mode.

**SOLUTION:** A power-saving mode controller 120 demodulates TMCC including a flag to identify a wakeup broadcast in the power-saving mode and a phase reference burst signal and stops the demodulation of at least part of other signals. To stop the demodulation operation, e.g. an AGC circuit 117, a carrier recovery circuit 113, a symbol recovery circuit 112, and a waveform equalizer 110 are stopped so as to save the power.



## LEGAL STATUS

**[Date of request for examination]**

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-218129  
(P2001-218129A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.	識別記号	F I	テ-マ-コード*(参考)
H 0 4 N 5/63		H 0 4 N 5/63	5 C 0 2 5
H 0 4 B 1/16		H 0 4 B 1/16	M 5 C 0 2 6
H 0 4 N 5/455		H 0 4 N 5/455	5 K 0 6 1

審査請求 未請求 請求項の数2 O.L. (全 7 頁)

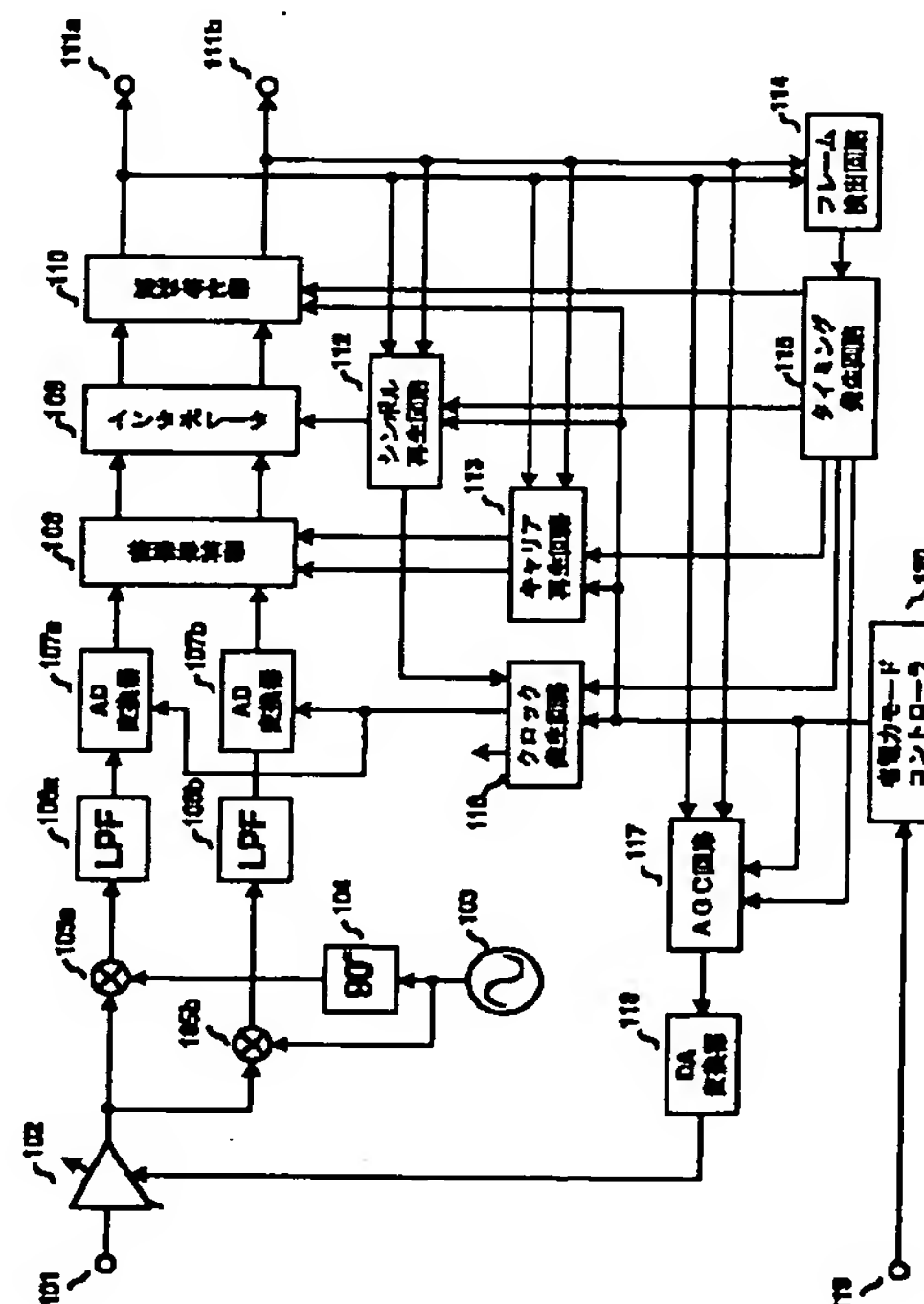
(21)出願番号	特願2000-21124(P2000-21124)	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成12年1月31日(2000.1.31)	(72)発明者	西川 正樹 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
		(74)代理人	100083161 弁理士 外川 英明 Fターム(参考) 50025 AA11 50026 EA07 5K061 AA02 BB07 BB10 EF01 EF08 FF03 JJ06

(54) 【発明の名称】 デジタル変調信号受信装置

(57) 【要約】

【課題】緊急放送等のウェイクアップ放送を即座に受信することが出来ずタイムラグが生じてしまったり、取りこぼしてしまっていた。

【解決手段】省電力モードコントローラ１２０は、省電力モード時にウェイクアップ放送を識別するためのフラグが含まれたＴＭＣＣと、位相基準バースト信号を復調し、他の信号の少なくとも一部については復調動作を停止させる。この復調動作の停止には、例えばＡＧＣ回路１１７、キャリア再生回路１１３、シンボル再生回路１１２、波形等化器１１０の動作を停止させており、これにより省電力化している。



## 【特許請求の範囲】

【請求項 1】 デジタル変調信号を受信するデジタル変調信号受信装置において、

受信した変調信号の全ての期間において復調動作を行なう通常モードと、

ウェイクアップ放送を示すフラグが含まれている TMCC (Transmission & Multiplexing Configuration Control) および位相基準バースト信号については常に復調動作を動作させて取り込み、少なくとも他の信号の一部については復調動作を停止させる省電力モードとを備えたことを特徴とするデジタル変調信号受信装置。

【請求項 2】 復調された前記デジタル変調信号を波形等化する波形等化回路を備え、

この波形等化回路は、前記復調動作を停止させるとき波形等化処理をバイパスすることを特徴とする請求項 1 記載のデジタル変調信号受信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、複数の変調方式を周期的に時間多重して伝送するデジタル放送を受信するデジタル変調信号受信装置において、特に省電力動作を行なう省電力モードを備えたデジタル変調信号受信装置に関する。

## 【0002】

【従来の技術】 近年、デジタル変復調の研究が急速に進み、TV 放送においても高速大容量のデータ／映像伝送が可能となった。BS 衛星放送においても 1999 年 2 月に電気通信技術審議会から BS デジタル放送についての答申が行われ、その技術方式が定まった。BS デジタル放送方式では、大容量の情報伝送が可能なトレリス符号化 8PSK 変調（以下 TC8PSK と記す）での情報伝送を可能とし、更に出来るだけ低い C/N でも安定受信できることを目的として QPSK、BPSK への切換えを可能にしている。この切換えを管理するためにフレーム構造を規定し、この中で伝送多重制御信号 TMCC (Transmission & Multiplexing Configuration Control) と位相基準バースト信号を BPSK 変調で BS デジタル信号に多重している。この多重した例を、図 3 に示す。

【0003】 図 3 に示すとおり、1 フレームは先頭に BPSK 変調された 192 シンボル（同期信号 32 シンボル + 128 シンボル + 同期信号 32 シンボル）の TMCC が配置され、その後に TC8PSK/QPSK/BPSK のいずれかの方式で変調された 203 シンボルの主信号が間に 4 シンボルの位相基準バースト信号を挟んで伝送される。

【0004】 TMCC にはいつ何時送られてくるかわからない緊急放送等の至急受信すべき放送（以下、ウェイクアップ放送と記す）を示すフラグが含まれている。

【0005】 このため受信装置では、番組を視聴してい

ないときでもウェイクアップ放送を受信できるよう、常に復調復号動作を行い続ける必要があるため電力を消費してしまい不経済である。

【0006】 この消費電力を削減するために考えられた省電力モードを備えた受信装置では、省電力モードになると番組を視聴していないときには TMCC を取り込むための回路の動作を停止する省電力モードと、TMCC を取り込むための動作を行なう通常モードとを備え、例えば 1 分周期等の一定周期で通常モードでウェイクアップ放送が送信されていないかを確認した後、送信されていない場合はまた待機モードに移行する方法がとられている。例えば受信装置を使ってテレビジョン番組を視聴しているときには通常モードで動作し、ユーザが TV の電源を切っているときに、実際には裏で復調動作を行なっているときに省電力モードである。

【0007】 しかし、このような方法では、全ての TMCC を受信しているわけではないので一刻を争うような緊急放送を即座に受信することが出来ずタイムラグが生じていた。また、どの程度の長さでウェイクアップ放送を示すフラグが TMCC に挿入されるか決まってい

## 【0008】

【発明が解決しようとする課題】 このように従来のデジタル変調信号受信装置においては、ウェイクアップ放送を即座に受信することが出来ずタイムラグが生じてしまったり、取りこぼしてしまうという問題があった。また、従来はウェイクアップ放送であることを示すフラグを安定して受信することが出来ないという問題があった。

【0009】 この発明は、省電力モードにおいて省電力動作をおこないつつウェイクアップ放送を即座に安定して受信することが出来るデジタル変調信号受信装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 上記の目的を達成するために、本発明においては、デジタル変調信号を受信するデジタル変調信号受信装置において、受信した変調信号の全ての期間において復調動作を行なう通常モードと、ウェイクアップ放送を示すフラグが含まれている TMCC (Transmission & Multiplexing Configuration Control) および位相基準バースト信号については常に復調動作を動作させて取り込み、少なくとも他の信号の一部については復調動作を停止させる省電力モードとを備えたことを特徴とする第 1 のデジタル変調信号受信装置を提供する。

【0011】 また、復調された前記デジタル変調信号を波形等化する波形等化回路を備え、この波形等化回路

は、前記復調動作を停止させるとき波形等化処理をバイパスすることを特徴とする第1のデジタル変調信号受信装置を提供する。

#### 【0012】

【発明の実施の形態】本発明の実施の形態について、図1のデジタル変調信号受信装置のブロック図を用いて説明する。

【0013】図1において、端子101から入力された受信BSデジタル信号は、DA変換器118からの制御電圧に応じてゲインを制御するAGCアンプ102を介してミキサ105a、105bにそれぞれ供給される。ミキサ105bには発振器103からの正弦波出力が、ミキサ105aには発振器103からの正弦波出力を90°位相偏移器104で位相シフトされた余弦波が供給されている。ミキサ105a、105bでは、前記受信BSデジタル信号の余弦波同相成分、余弦波直交成分が抽出され、それぞれ低域濾波器（以下LPFと記す）106a、106bへ供給される。

【0014】LPF106a、bではAD変換器107a、bでサンプリングする際に不要な高域成分を除去することを目的とした低域濾波が施され、AD変換器107a、107bへ供給される。

【0015】AD変換器107aでは、クロック発生回路116から供給されたサンプリングクロックを元にLPF106aから供給された信号がサンプリングして量子化され、複素乗算器108へ供給される。同様にAD変換器107bでは、クロック発生回路116から供給されたサンプリングクロックを元に106bから供給された信号がサンプリングして量子化され、複素乗算器108へ供給される。クロック発生回路116から供給されるサンプリングクロックは、通常受信BSデジタル信号のシンボルレートの、2～4倍の周波数とされる。

【0016】複素乗算器108には位相制御するための位相制御信号 $\sin \theta$ 、 $\cos \theta$ がキャリア再生回路113から供給されており、この信号とAD変換回路107a、107bから入力された信号とを複素乗算することで正確に同期検波された同相成分と直交成分の信号がインタポレータ109へ供給される。

【0017】インタポレータ109には、シンボル再生回路112から内挿係数が供給されており、この内挿係数に応じて複素乗算器108から入力された信号に対して内挿演算が行なわれ、シンボルタイミングのデータとその中間タイミングのデータが交互に生成され、波形等化器110へ供給される。

【0018】波形等化器110では、インタポレータ109から入力された信号に対しナイキスト特性に基づくロールオフ処理、伝送路の波形歪みを低減する適応波形等化処理、シンボルタイミングのデータのみを取り出すダウンサンプリング処理の3つの処理が行なわれたデジタル同期検波出力信号が端子111a、111bを介し

て通常後段に設けられる誤り訂正回路に出力される。

【0019】また、波形等化器110の出力はシンボル再生回路112、キャリア再生回路113、AGC回路117、フレーム検出回路114にも供給される。

【0020】フレーム検出回路114では、入力されたデジタル同期検波出力信号から図3に示すフレーム構造の同期信号（1フレームにつき32シンボル×2）が検出され、フレーム構造に同期した周期的なパルスが発生されてタイミング発生回路115へ供給される。

【0021】タイミング発生回路115では、フレーム検出回路114から入力されたフレーム構造に同期した周期的なパルスを元に、各ブロックに必要なゲートパルスを作成し、波形等化器110、シンボル再生回路112、キャリア再生回路113、クロック発生回路116、AGC回路117へ供給される。

【0022】シンボル再生回路112では、波形等化器110から入力されたデジタル同期検波出力信号からクロック位相誤差が検出され、このクロック位相誤差を最小化するためのクロック間引き指示信号と内挿係数を生成し、クロック間引き指示信号がクロック発生回路116へ、内挿係数はインタポレータ109へ供給される。

【0023】キャリア再生回路113では、波形等化器110から入力されたデジタル同期検波出力信号から、タイミング発生回路115から入力されたゲートパルスによるタイミングにより、図3に示す位相基準バースト信号部分が抜き出されてキャリア位相誤差が算出され、この誤差を最少化するための位相制御信号 $\sin \theta$ 、 $\cos \theta$ を生成し、複素乗算器108へ供給される。

【0024】クロック発生回路116では、AD変換器107a、107bにサンプリングクロックを供給するとともに、他の各回路ブロックにサンプリングクロックと、その分周クロックを供給する。また、クロック発生回路116では、シンボル再生回路112から与えられたクロック間引き指示信号を元にクロック波形をゲートすることで間引きクロックを生成し、各回路ブロックへ供給している。

【0025】AGC回路117では、波形等化器110から入力されたデジタル同期検波出力信号から信号振幅誤差が算出され、この信号振幅誤差を打ち消すための制御電圧がDA変換器118を介してAGCアンプ102へ供給される。

【0026】端子119は省電力モードコントローラ120に対し、ユーザーもしくは図示しないマイコンからの通常動作モードと省電力モードの切換え指示するために設けられている。通常動作モードとは、受信BSデジタル信号を常に受信動作させるモードであり、省電力モードとは通常動作モードよりも消費電力を抑えるモードである。

【0027】省電力モードコントローラ120では、端子119を介して通常動作モードの指示を受けた際に

は、クロック発生回路116に対し、必要とする全ての回路へクロックを供給させると共に、波形等化器110、シンボル再生回路112、キャリア再生回路113、クロック発生回路116、AGC回路117へ通常通り動作するための通常信号を供給する。

【0028】逆に、省電力モードコントローラ120では、端子119を介して省電力モードの指示を受けた際には、クロック発生回路116に対し、必要とする全ての回路へTMCCの期間と位相基準バースト信号の期間のみクロックを供給させると共に、波形等化器110、シンボル再生回路112、キャリア再生回路113、AGC回路117へ省電力で動作するための省電力信号を供給する。波形等化器110では、省電力モードコントローラ120から省電力信号が供給されると、波形等化処理を停止させることにより消費電力を抑制する。

【0029】なお、本実施の形態では、波形等化処理を停止させることにより消費電力を抑制したが、これに限らず(1)インタポレータ109から入力された信号に対しナイキスト特性に基づくロールオフ処理、(2)伝送路の波形歪みを低減する適応波形等化処理、(3)シンボルタイミングのデータのみを取り出すダウンサンプリング処理の3つの処理の内、(1)と(2)の処理について処理を行わずにインタポレータ109から入力された信号を端子111A、Bへバイパスさせるようにしても良い。このときダウンサンプリング処理についてはバイパスさせずに処理を行う。実際にはダウンサンプリングは波形等化処理ではないので波形等化器110の外にあるものであるが、本実施の形態では1つのブロックに収めて説明している。

【0030】シンボル再生回路112、キャリア再生回路113、AGC回路117の消費電力の抑制については、図2を用いて説明する。

【0031】図2(a)はシンボル再生回路112、図2(b)はキャリア再生回路113、図2(c)はAGC回路117の構成を、更に詳細に説明するための図であり、省電力モードコントローラ120から省電力信号が供給された場合について説明する。

【0032】図2(a)のシンボル再生回路112において、省電力モードコントローラ120から省電力信号が供給されると、誤差検出回路1121では、クロック発生回路116から供給されるクロックが停止して誤差演算が停止される。この停止は、図3の省電力モード時に復調する期間が繰り返しフレーム毎に発生し、周期的に停止することとなる。

【0033】ループフィルタ1122では、クロック発生回路116から供給されるクロックが周期的に停止してフィルタの更新が停止し、停止させる前の値が保持され内挿係数発生回路1123に出力される。内挿係数発生回路1123では、省電力モードにおいてもクロック発生回路116からクロックが供給されており、ループ

フィルタ1122から供給されている値に応じたクロック間引き指示信号および内挿係数が生成され、クロック発生回路116およびインタポレータ109へそれぞれ供給される。

【0034】図2(b)のキャリア再生回路113において、省電力モードコントローラ120から省電力信号が供給されると、誤差検出回路1131では、クロック発生回路116から供給されるクロックが周期的に停止して誤差演算が停止される。ループフィルタ1132では、クロック発生回路116から供給されるクロックが周期的に停止してフィルタの更新が停止し、停止させる前の値が保持されNCO(数値制御発振器)1133に出力される。NCO1133では、省電力モードにおいてもクロック発生回路116からクロックが供給されており、ループフィルタ1132から供給されている値に応じた位相制御信号 $\sin \theta$ 、 $\cos \theta$ が生成されて複素乗算器108へ供給される。

【0035】図2(c)のAGC回路117において、省電力モードコントローラ120から省電力信号が供給されると、誤差検出回路1171では、クロック発生回路116から供給されるクロックが周期的に停止して誤差演算が停止される。ループフィルタ1172では、クロック発生回路116から供給されるクロックが周期的に停止してフィルタの更新が停止し、停止させる前の値がDA変換器118へ供給される。

【0036】デジタル回路は、信号のスイッチング(0, 1の変化)により電力を消費するので、前述のようにクロックを止めたり、信号のスイッチングを止めることにより消費電力を大幅に抑えることが出来る。

【0037】また通常動作モード指示を受けた場合は前記止めたクロックの供給を復活し、通常の復調動作を行う。

【0038】本当は、TMCC部分のみ復調回路を動かしてTMCCを取りこむ方がより消費電力を低減させることが出来るのであるが、実際はTMCC部分のみでは39744シンボル(1フレームの39936シンボル-TMCC部分の192シンボル)もの間が開いてしまうため、誤差の蓄積が無視できない程大きくなり、同期状態を維持することが出来ないためである。

【0039】

【発明の効果】以上説明したようにこの発明によれば、少なくともTMCCおよび位相基準バースト信号は復調回路を動かし、他必要がない部分については少復調動作を停止しているので、ウェイクアップ放送を示すフラグを検出するにあたって検出漏れや検出遅れすることなく、かつ消費電力を低減することが出来る。

【図面の簡単な説明】

【図1】本発明のデジタル変調信号受信装置の構成を説明するためのブロック図。

【図2】シンボル再生回路112、キャリア再生回路1

13、AGC回路117の構成を説明するための図。

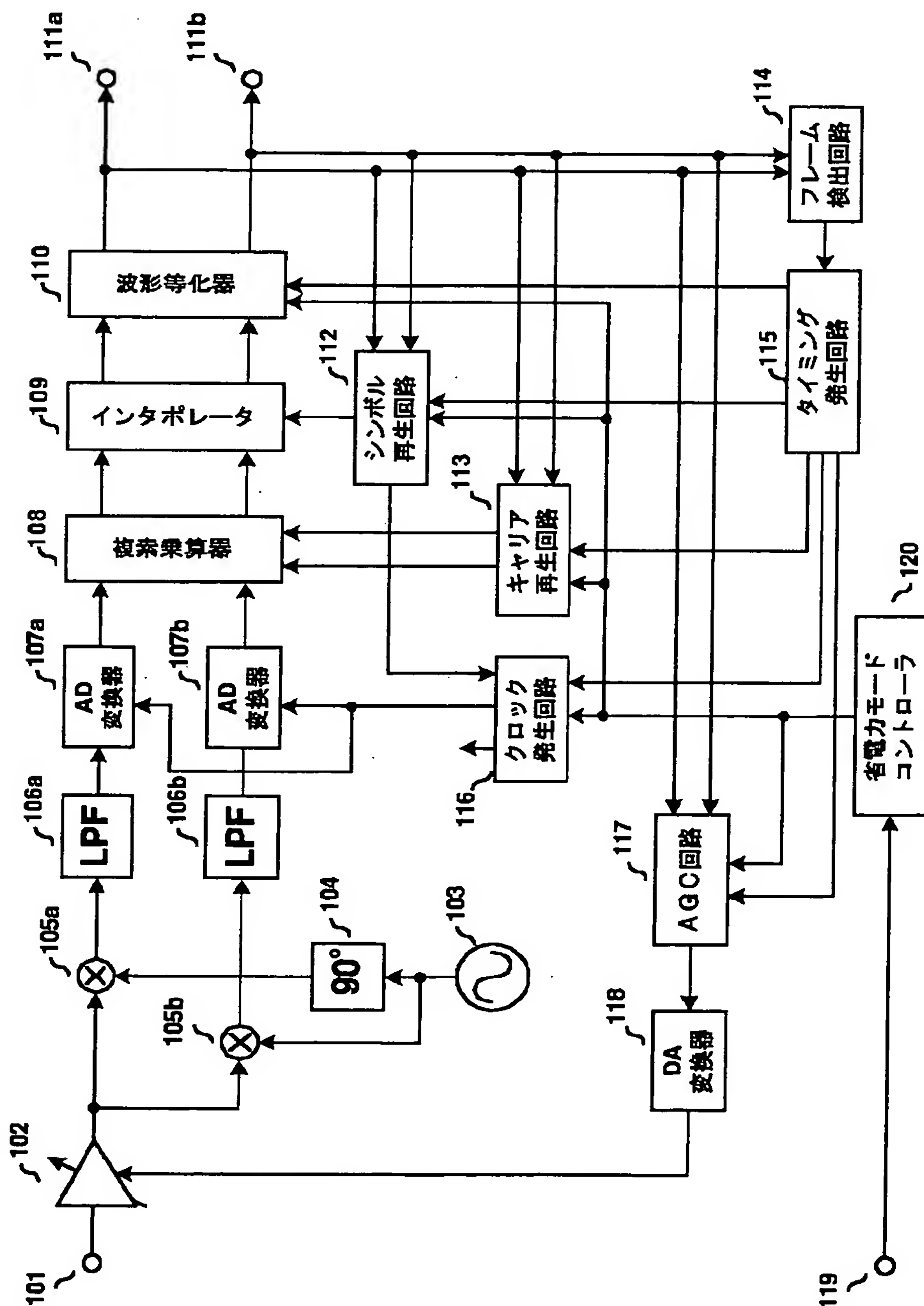
【図3】BSデジタル放送方式でのフレーム構造を説明するための図。

【符号の説明】

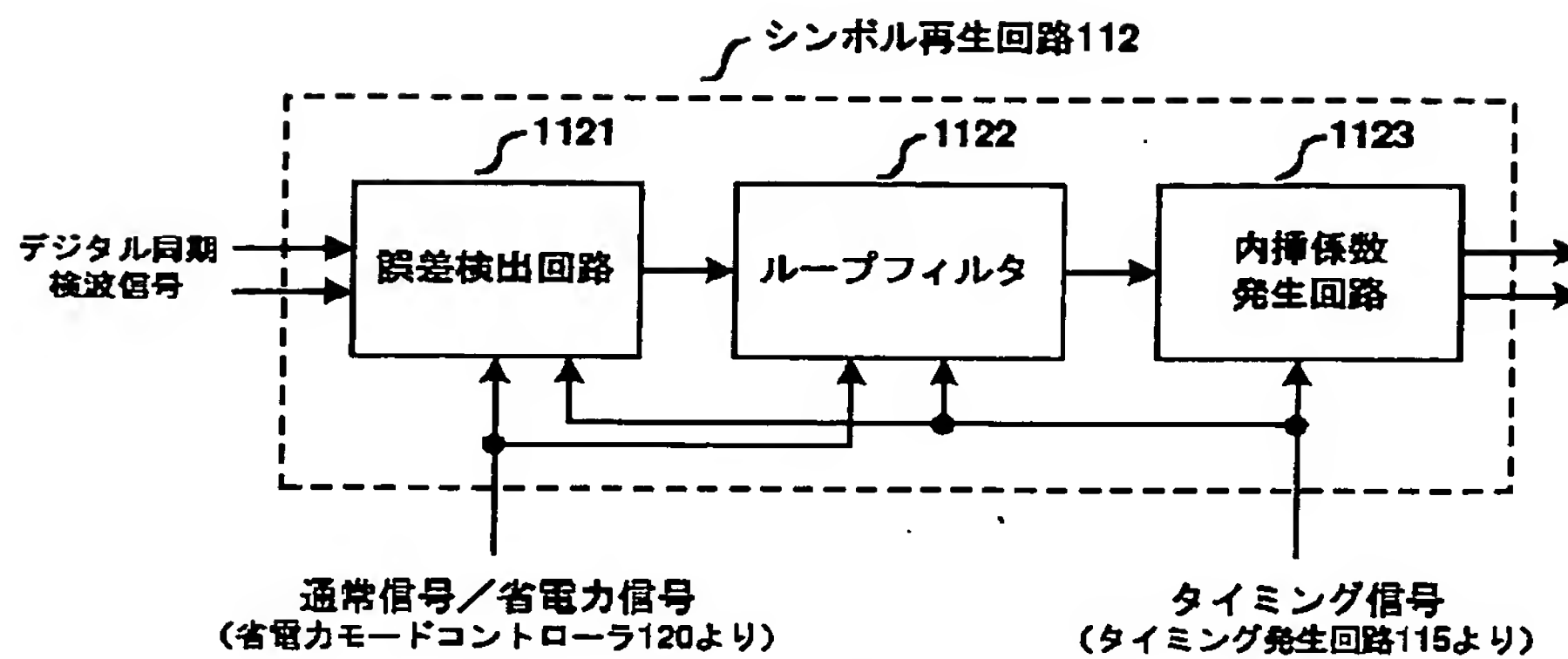
101, 111a, 111b, 119…端子、102…AGCアンプ、103…発振器、104…90°位相偏  
移器、105a, 105b…ミキサ、106a, 106

b…低域濾波器、107a, 107b…AD変換器、108…複素乗算器、109…インタポレータ、110…波形等化器、112…シンボル再生回路、113…キャリア再生回路、114…フレーム検出回路、115…タイミ  
ング発生回路、116…クロック発生回路、117…AGC回路、118…DA変換器、120…省電力モ  
ードコントローラ。

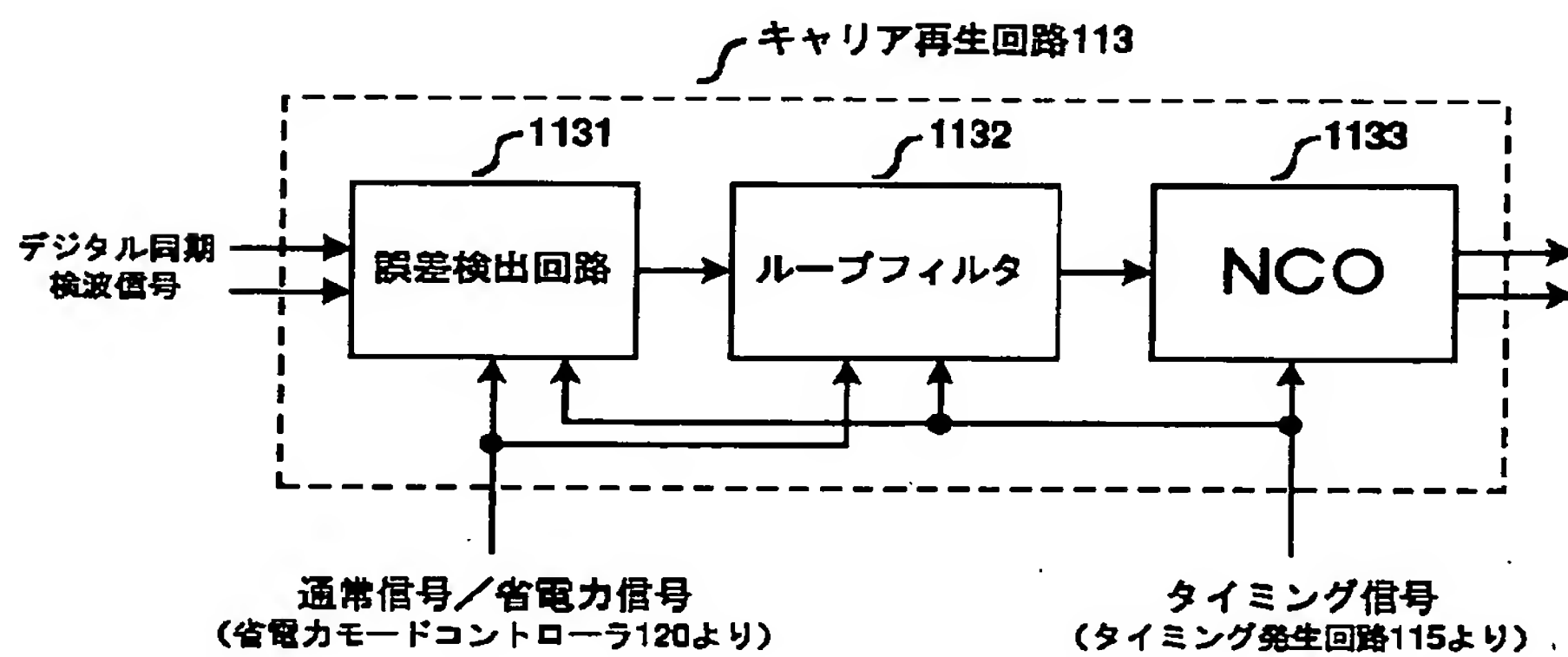
【図1】



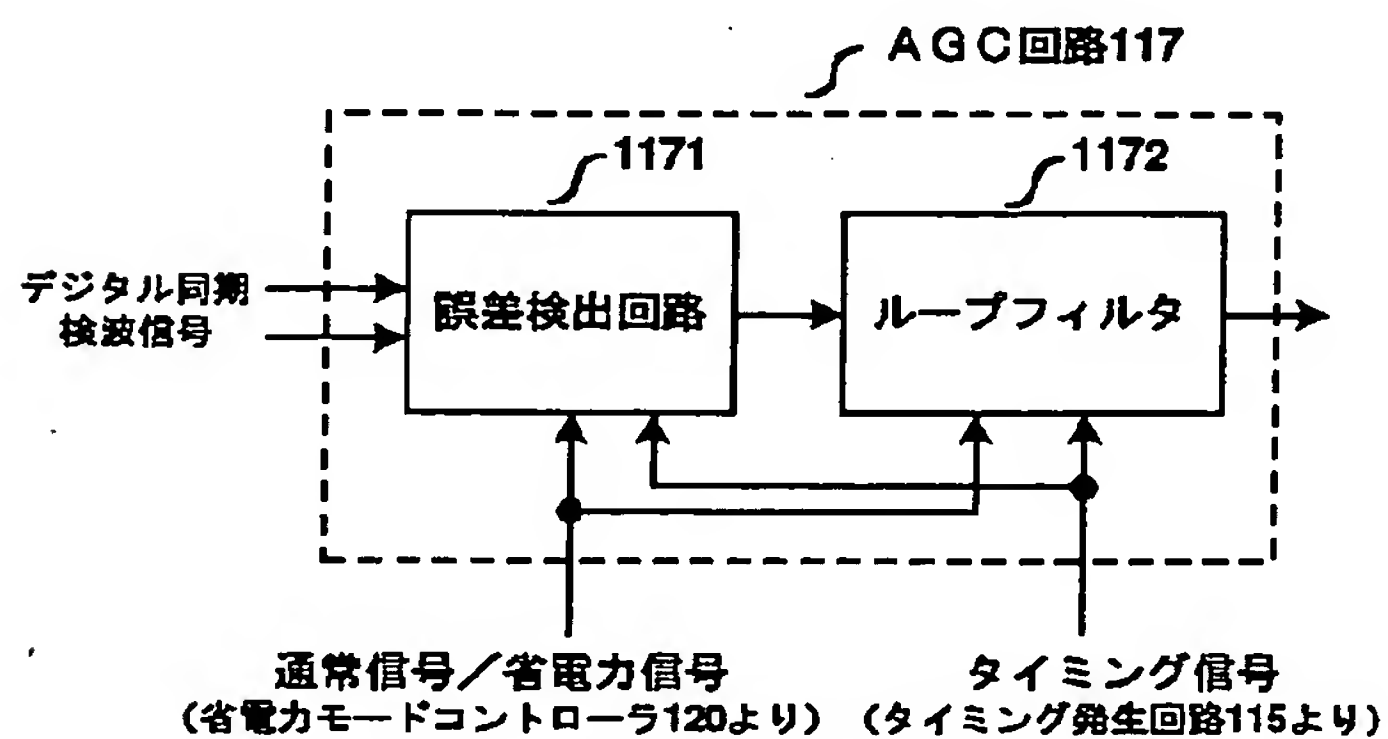
【図2】



(a)



(b)



(c)

【図3】

